

CLIPPEDIMAGE= JP404171418A
PAT-NO: JP404171418A
DOCUMENT-IDENTIFIER: JP 04171418 A
TITLE: LIQUID-CRYSTAL DISPLAY PANEL

PUBN-DATE: June 18, 1992

INVENTOR-INFORMATION:

NAME

TOYAMA, HIROSHI
TAKAHASHI, ATSUSHI
SUGANO, HIROMASA
TERONAI, YUUJI

ASSIGNEE-INFORMATION:

NAME

OKI ELECTRIC IND CO LTD

COUNTRY

N/A

APPL-NO: JP02298571

APPL-DATE: November 2, 1990

INT-CL_(IPC): G02F001/1333; G02F001/136

ABSTRACT:

PURPOSE: To lower voltage applied between a picture element electrode and a common electrode by giving orientation treatment to the surface of the picture element electrode in contact with a liquid crystal layer, the surface of a protective layer and the surface of the common electrode.

CONSTITUTION: A back glass 10 is provided as a first substrate, on the upper face of which a picture element electrode 11', a thin film transistor (TFT) 12 to turn on or off voltage applied thereto and an insulation protective layer 13' to cover the TFT 12 are arranged. The picture element electrode 11' made of transparent electrode material has the surface given orientation treatment by rubbing with cotton cloth in the same direction. In addition, the protective layer 13' formed of a SiNx film or others has the surface given orientation treatment by rubbing with cotton cloth in the same direction, and a common electrode 24' formed on a front glass 20 as a second board

has the
surface also given orientation treatment by rubbing with cotton
cloth in the
same direction. It is thus possible to lower voltage applied
between the
picture element electrode 11 and the common electrode 24.

COPYRIGHT: (C)1992,JPO&Japio

⑫ 公開特許公報(A) 平4-171418

⑮ Int. Cl.⁵G 02 F 1/1333
1/136

識別記号

5 0 5
5 0 0

庁内整理番号

8806-2K
9018-2K

⑬ 公開 平成4年(1992)6月18日

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 液晶表示パネル

⑯ 特 願 平2-298571

⑰ 出 願 平2(1990)11月2日

⑱ 発 明 者	遠 山 広	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑲ 発 明 者	高 橋 敦	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑲ 発 明 者	菅 野 裕 雅	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑲ 発 明 者	手 呂 内 雄 二	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑲ 出 願 人	沖電気工業株式会社	東京都港区虎ノ門1丁目7番12号	
⑲ 代 理 人	弁理士 前 田 実		

明 細 書

1. 発明の名称

液晶表示パネル

2. 特許請求の範囲

第一の基板と、

上記第一の基板上に形成された画素電極と、

上記第一の基板上に形成され、上記画素電極に
印加される電圧をオンオフする薄膜トランジスタ
と、

上記薄膜トランジスタを覆う保護膜と、

上記第一の基板の上記画素電極側に配置された
第二の基板と、

上記画素電極に対向するように、上記第二の基
板上に形成された共通電極と、

上記画素電極と上記共通電極との間に備えられ
た液晶層とを有し、

上記画素電極と上記共通電極との間に印加され
る電圧により上記液晶層に電界を加えて画像を表
示する液晶表示パネルにおいて、

上記液晶層と接する、上記画素電極の表面、上

記保護膜の表面、及び上記共通電極の表面に配向
処理を施したことを特徴とする液晶表示パネル。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、液晶表示パネル(LCD)の構造に
関するものである。

〔従来の技術〕

第2図(a)は従来のLCDを示す概略断面図
であり、同図(b)はその要部拡大断面図である。

第2図に示されるように、従来のLCDは、画
素電極11、これに印加される電圧をオン・オフ
する薄膜トランジスタ12(ゲート12a、ドレ
イン12b、ソース12c、及び半導体層12d
からなる)、薄膜トランジスタ12上を覆う絶縁
性の保護膜13、及びこの画素電極11と薄膜ト
ランジスタ12の保護膜13上を覆う配向膜14
とを備えた背面ガラス10を有する。また、従来
のLCDは、画素電極11に対向して配置された
カラーフィルタ21、このフィルタ21の間を埋
める黒色のブラック層22、フィルタ21とブラ

ック層22の上を覆う平坦化層23、この上に形成された共通電極24、及びこの共通電極24上を覆う配向膜25とを備えた前面ガラス20を有する。

そして、両ガラス10と20とは、画素電極11と共通電極24とが向かい合うように、対向配置されており、両ガラス10と20の間には液晶が封入されている。尚、背面ガラス10の背面には、偏光膜15とバックライト16とが備えられており、前面ガラス20の前面には偏光膜26が備えられている。

第3図は第2図のLCDの等価回路図であり、画素電極11（ゲート12aに電圧 V_{G1} が印加されているときにはドレイン電圧 V_D が印加され、電圧 V_{G2} が印加されているときには開放状態となる）と、配向膜14と液晶層30と配向膜25とを挟んで画素電極11に対向する共通電極24（電位 V_{COM} にある）との間に静電容量（配向膜13については C_1 、液晶30については C_2 、配向膜25については C_3 ）を持つこと、及び液

晶層30が低抵抗 R を持つことが示されている。

そして、このLCDは、TFT12のゲート12aに電圧 V_{G1} を印加することにより画素電極11にドレイン電圧 V_D を印加して、画素電極11に電荷を蓄積し、この蓄積された電荷により画素電極11と共通電極24との間ある液晶層30に電界を加えて画像を表示状態とする。尚、ゲート12aの電圧は画素電極11への電荷蓄積後に電圧 V_{G2} になり画素電極11を開放状態にするが、画素電極11の電荷は次の表示動作までの一定のゲート選択周期との間（例えば、線順次駆動の場合には、1フレーム周期）保持される。

（発明が解決しようとする課題）

しかしながら、上記従来例においては、画素電極11と共通電極24との間の電圧 $|V_D - V_{COM}|$ は、

$$|V_D - V_{COM}| = Q/C_1 + Q/C_2 + Q/C_3 \quad \dots (1)$$

で表され、

液晶層30に印加される電圧 Q/C_2 は、

$$\begin{aligned} Q/C_2 \\ = |V_D - V_{COM}| - (Q/C_1 + Q/C_3) \end{aligned} \quad \dots (2)$$

で表される。

従って、画素電極11と共通電極24との間に印加される電圧 $|V_D - V_{COM}|$ は、液晶層30に印加される電圧 Q/C_2 が十分大きくなるように、配向膜11と25による電圧の低下分（ $Q/C_2 + Q/C_3$ ）を加味した大きさとする必要があった。

このように、従来は、液晶層30に印加される電圧 Q/C_2 が十分大きくなるように、画素電極11と共通電極24との間に印加される電圧を大きくする必要があり、駆動回路の耐電圧性能のが厳しくなり、製品コストの面でも不利であった。

そこで、本発明は上記したような従来技術の課題を解決するためになされたもので、その目的とするところは、画素電極と共通電極の間に印加される電圧を低くすることができる液晶表示パネルを提供することにある。

（課題を解決するための手段）

本発明に係る液晶表示パネルは、第一の基板と、上記第一の基板上に形成された画素電極と、上記第一の基板上に形成され、上記画素電極に印加される電圧をオンオフする薄膜トランジスタと、上記薄膜トランジスタを覆う絶縁膜と、上記第一の基板の上記画素電極側に配置された第二の基板と、上記画素電極に対向するように、上記第二の基板上に形成された共通電極と、上記画素電極と上記共通電極との間に備えられた液晶層とを有し、上記画素電極と上記共通電極との間に印加される電圧により上記液晶層に電界を加えて画像を表示する液晶表示パネルにおいて、上記液晶層と接する、上記画素電極の表面、上記絶縁膜の表面、及び上記共通電極の表面に配向処理を施したことを特徴としている。

（作 用）

本発明においては、液晶層と接する、画素電極の表面、保護膜の表面、及び共通電極の表面に配向処理を施したことにより、従来備えられていた

配向膜を不要とし、画素電極に印加される電圧を低くしても、液晶層に印加される電圧を十分に大きくできるようにしている。

〔実施例〕

以下に本発明を図示の実施例に基づいて説明する。

第1図は本発明に係る液晶表示パネル(LCD)の一実施例を示すものであり、同図(a)は概略断面図、同図(b)は要部拡大断面図である。

第1図に示されるように、本実施例のLCDには第一の基板としての背面ガラス10が備えられており、この背面ガラス10の内側(図では上側)の面には画素電極11'と、これに印加される電圧をオン・オフする薄膜トランジスタ(TFT)12と、このTFT12の上を覆う絶縁性の保護膜13'とが備えられている。ここで、TFT12は、オン・オフを制御するための信号 V_{G1} と V_{G2} が印加されるゲート12a、画素電極11'に印加されるドレイン電圧が印加されるドレイン12b、画素電極11'に接続されたソース12c、及

び半導体層12dとを有する。

そして、本実施例においては、画素電極11'はITO又はZnO等の透明電極材料よりなり、その表面は綿布で同一方向に擦られて配向処理が施されている。さらに、TFT12の保護膜13'は SiN_x 膜や SiO_2 膜により形成されており、その表面も綿布で同一方向に擦られて配向処理が施されている。

また、本実施例のLCDには、第二の基板としての前面ガラス20が備えられており、この前面ガラス20にはカラーフィルタ21と、このフィルタ21の間を埋める黒色のブラック層22と、フィルタ21とブラック層22の上に形成された平坦化層23と、この上に形成された共通電極24'とが備えられている。ここで、共通電極24'の表面も綿布で同一方向に擦られて配向処理が施されている。

そして、両ガラス10と20とは、画素電極11'と共通電極24'とが向かい合うように、対向配置されており、両ガラス10と20との間に

は液晶が封入されている。従って、液晶層30は、画素電極11'の配向処理が施された面と、保護膜13'の配向処理が施された面と、共通電極24'の配向処理が施された面とに接触している。

尚、背面ガラス10の外側(図では下側)には、偏光膜15とバックライト16とが備えられており、前面ガラス20の前面(図では上側)には偏光膜26が備えられている。

そして、画素電極11'と共通電極24'との間に印加される電圧により液晶層30に電界を加えて画像を表示状態にする。

第4図は第1図のLCDの等価回路図である。同図には、本実施例のLCDが、画素電極11'と、この画素電極11'に対して液晶層30を挟んで対向する共通電極24'との間に静電容量 C_2 、及び液晶層30が抵抗 R を持つことが示されている。尚、画素電極11'は、ゲート12aに電圧 V_{G1} が印加されているときにはドレイン電圧 V_D が印加され、電圧 V_{G2} が印加されているときには開放状態となり、共通電極24'の電位は V

COMとする。

そして、本実施例のLCDは、TFT12のゲート12aに電圧 V_{G1} を印加することにより画素電極11'にドレイン電圧 V_D を印加して、画素電極11'に電荷を蓄積し、この蓄積された電荷により画素電極11'と共通電極24'との間ある液晶層30に電界を加えて画像を表示する。尚、ゲート12aの電圧は画素電極11'への電荷蓄積後に電圧 V_{G2} になり画素電極11'を開放状態にするが、画素電極11'の電荷は次の表示動作までの一定のゲート選択周期 t の間(例えば、線順次駆動の場合には、1フレーム周期)保持される。

以上述べたように、本実施例においては、液晶層30と接する、画素電極11'の表面、保護膜13'の表面、及び共通電極24'の表面に配向処理を施したことにより、従来備えられていた配向膜を不要として、画素電極11'に印加される電圧を低くしても、液晶層30に印加される電圧を十分に大きくできるようにしている。このため、

駆動回路に要求される耐電圧性能等のような機能が緩和され、製品コストの面でも有利となる。

尚、本実施例では、第4図に示されるように、液晶層30に印加される電圧 Q/C_2 は、

$$Q/C_2 = |V_D - V_{COM}|$$

となる。

このことは、本実施例では、画素電極11と共通電極27との間に印加される電圧 $|V_D - V_{COM}|$ の全てが液晶層30に印加されることを示している。

これに対して、上記従来例の場合には、液晶層に印加される電圧は、上記式(2)より、

$$|V_D - V_{COM}| = (Q/C_1 + Q/C_3)$$

($Q/C_1 + Q/C_3$ は無視できない大きさを持つ)である。従って、画素電極と共通電極との間に印加される電圧が同じでも、本実施例の場合には、上記従来例の場合よりも、($Q/C_1 + Q/C_3$)だけ高い電圧が液晶層30に印加される。

第5図は本発明に係る液晶表示パネルの他の実施例を示す要部拡大断面図である。同図において

$$|V_D - V_{COM}| = Q'/C_4$$

(Q' は蓄積電極17に蓄積される電荷量)である。

第7図は本発明に係る液晶表示パネルのさらに他の実施例を示す要部拡大断面図である。同図において第1図の実施例と同一の構成部分には同一の符号を付して説明すると、第7図の実施例は、画素電極11'と保護膜13の上に表面に配向処理を施した平坦化画素電極19をさらに備えている点が第1図の実施例と相違する。この場合には、TFT12と保護膜13'及び画素電極11'により形成される段差をなくし、画素電極の表面積(1画素の大きさ)を大きくできる。

〔発明の効果〕

以上説明したように、本発明によれば、液晶層と接する、画素電極の表面、保護膜の表面、及び共通電極の表面に配向処理を施したことにより、従来備えられていた配向膜を不要として、画素電極に印加される電圧を低くしても、液晶層に印加される電圧を十分に大きくできるようにしている。

第1図の実施例と同一の構成部分には同一の符号を付して説明すると、第5図の実施例は、背面ガラス10上に形成されており画素電極11'に対向配置された蓄積電極17と、画素電極11'と蓄積電極17との間に備えられた蓄積絶縁層18と、画素電極11'をTFT12のソース12aに接続する接続電極11aとをさらに備えている点が第1図の実施例と相違する。この場合には、蓄積電極17に画素電極11'に印加される電位とは逆極性の電位を印加することにより画素電極11'に保持される電荷を増大させることができる。

また、第6図は第5図のLCDの等価回路図であり、画素電極11'と、この画素電極11'に対して対向する共通電極24'との間に静電容量 C_2 を持つこと、画素電極11'とこれに対向する蓄積電極17との間に静電容量 C_4 を持つこと、及び液晶層30が抵抗Rを持つことが示されている。この場合にも、液晶層30に印加される電圧 Q/C_2 は $|V_D - V_{COM}|$ となる。尚、

このため、駆動回路に要求される耐電圧性能が緩和され、製品コストの面でも有利となる。

4. 図面の簡単な説明

第1図は本発明に係るLCDの一実施例を示すものであり、同図(a)は概略断面図、同図(b)は要部拡大断面図、

第2図(a)、(b)は従来のLCDを示す概略断面図とその要部拡大断面図、

第3図は第2図のLCDの等価回路図、

第4図は第1図のLCDの等価回路図、

第5図は他の実施例を示す要部拡大断面図、

第6図は第5図のLCDの等価回路図、

第7図はさらに他の実施例を示す要部拡大断面図である。

10…背面ガラス(第一の基板)

11'…画素電極

12…薄膜トランジスタ

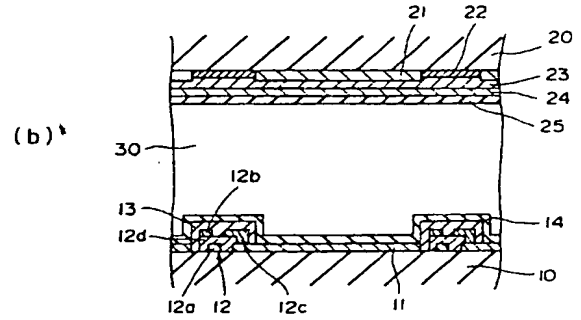
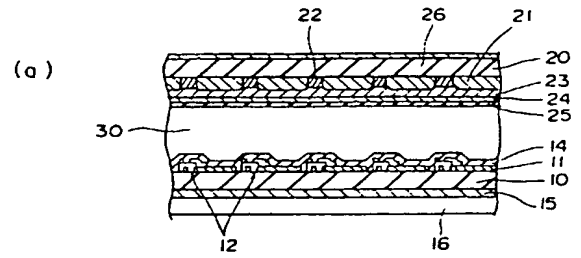
13'…保護膜

20…前面ガラス(第二の基板)

24'…共通電極

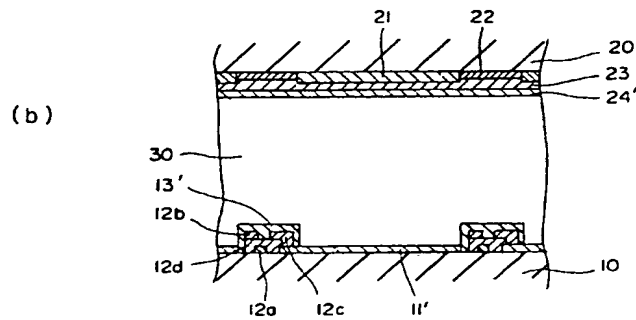
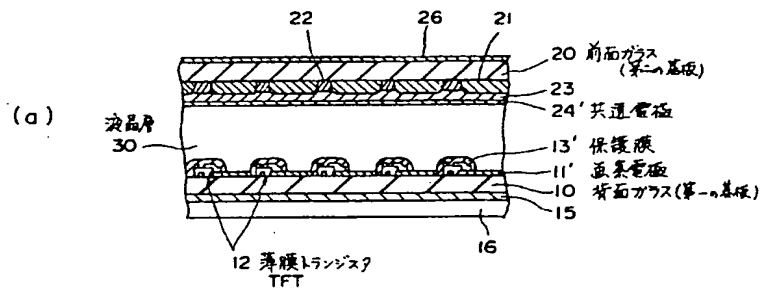
30…液晶層

特許出願人 沖電気工業株式会社
代理人 弁理士 前田 実



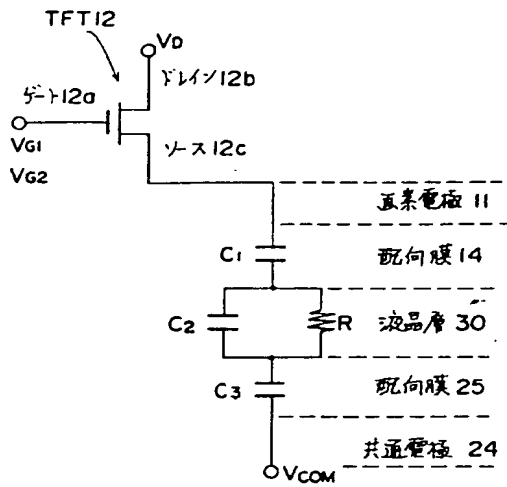
従来のLCDの概略断面図と要部拡大断面図

第2図



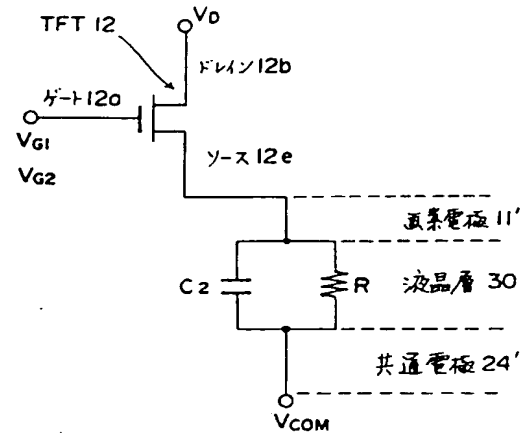
実施例のLCDの概略断面図と要部拡大断面図

第1図



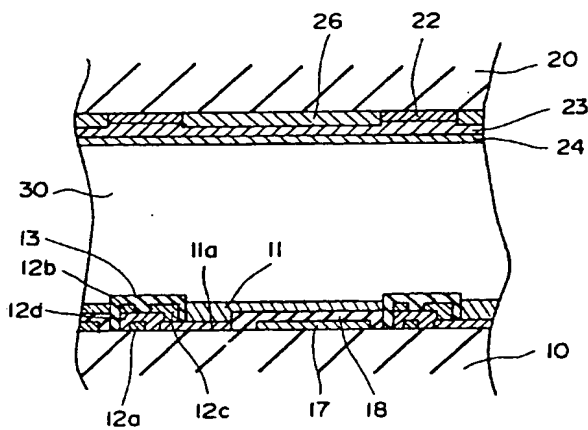
従来のLCDの等価回路図

第 3 図



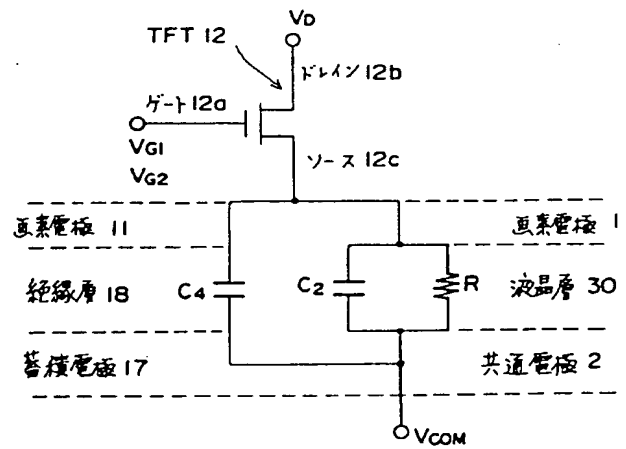
実施例のLCDの等価回路図

第 4 図



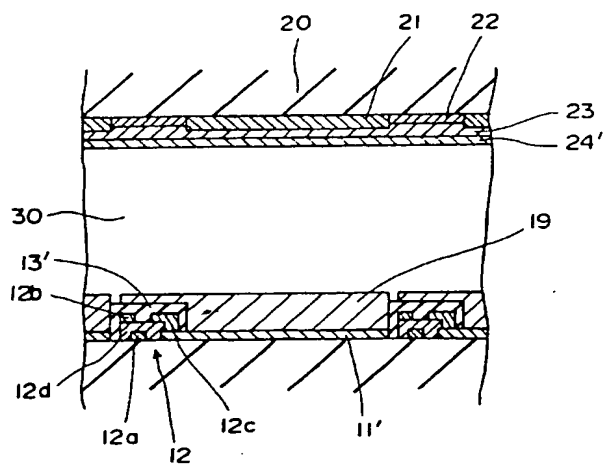
他の実施例のLCDを示す要部拡大断面図

第 5 図



第5図の実施例の等価回路図

第 6 図



他の実施例のLCDを示す要部拡大断面図

第 7 図